

Cognoms i Nom: _____

DNI: _____

Problemas de Rendimiento

(3 Ptos)

Problema 1:

(2 Ptos)

Hallar el CPI para un procesador en cuyo sistema se tienen 4 niveles de caché (L1\$, L2\$, L3\$, L4\$), con un CPI_{ideal} de 1 ciclo, con un tiempo de penalización de 110 ciclos de acceso a MP. Se tienen un 34% de instrucciones de tipo load/stores, con una tasa de aciertos de 98% a cache L1 de instrucciones y de 96,5% a cache L1 de datos. Incluido en el procesador se tiene, además, una cache L2 \$ con tasa de aciertos del 98,5% y un tiempo de penalización de 30 ciclos, y una cache L3 \$ con tasa de fallos del 0,8% y un tiempo de penalización de 37 ciclos. Externamente, y muy cercana al procesador se tiene una cache L4 \$, con tasa de fallos del 0,4% y un tiempo de penalización de 47 ciclos.

Problema 2:

(1 Ptos)

Calcula el tiempo medio de acceso (AMAT, en segundos) para el procesador del problema anterior (considerando únicamente la presencia de la cache L1), si el $T_{ciclo} = 50$ psec, el tiempo de acceso a cache es de 1 ciclo y se tiene una tasa de fallos de 2% por instrucción.

Problema 3

(3 Ptos)

Consideremos un sistema de memoria virtual con páginas de 8 KBytes. El TLB tiene una capacidad limitada a la traducción de 4 páginas. Tenemos las siguientes referencias a direcciones virtuales: 68536, 20514, 82150, 50112, 33415, 6754, 44960, 55. En caso que la página se tenga que traer desde disco, se asignará al siguiente mayor número de página en la PT. El LRU del TLB se implementa con 2 bits (00, 01, 10, 11). Cada vez que se acierta una entrada del TLB se incrementa el valor de los bits REF. Cada 4 accesos se ponen otra vez a 00. Para elegir una entrada del TLB para escribir una nueva traducción, se elige aquella con el valor de REF más bajo (y se escribe en esa posición con un 01 como REF). Si varias tienen el mismo valor, se elige la que tenga el TAG más bajo. El estado inicial de la tabla de páginas y TLB es el siguiente:

PT

Válido	Marco de Página o en Disco
0	Disco
1	35
0	Disco
1	36
1	37
1	38
1	39
0	Disco
1	40
0	Disco
1	41

TLB

Ref	Tag	Número de Marco
01	3	36
10	8	40
00	10	41
00	1	35

Dados los estados iniciales mostrados, indica **paso a paso** el estado del sistema para las secuencia de accesos y responde a lo siguiente:

- a) Si es un acierto o fallo en la TLB
- b) Un acierto en la Tabla de Páginas o un fallo de página
- c) Si se lleva una traducción al TLB, ¿qué entrada de las 4 es seleccionada?
- d) Obtener el valor de **offset** para cada acceso.

Problema 4:

(1 Ptos)

Tenemos un sistema de memoria virtual con páginas de 8 KB. El espacio de direcciones físicas es de 1 GB y el de direcciones lógicas es de 2 GB.

- a) Representa todos los campos de la dirección física y de la dirección lógica.
- b) ¿Cuál sería el tamaño de la tabla de páginas en este sistema de memoria virtual para cada aplicación? Ten en cuenta que en cada entrada de la PT se guardan los bits del marco de página y 4 bits (bits de validez, de dirty y 2 bits de referencia para la LRU).

Problemas de Microprogramación

(3 ptos)

Problema 5:

(1,5 ptos)

A) Indique el contenido de las direcciones de la ROM_Q+:

- a) 0x31
- b) 0x28

B) Qué dirección(es) de la ROM Q+ contiene(n) el estado:

- a) Ldb
- b) Addi

Problema 6:

(1,5 ptos)

Dado el estado actual de la Unidad de Control (UC) y el contenido del registro IR, indique la palabra de control y el estado siguiente de la UC (asuma que antes de ejecutar “d” el registro R6 vale 0x0001)

Apartado	Nodo/Estado	Instrucción en el IR	Nodo/Estado Siguiente
a	OUT	OUT 0x0002, R3	
b	Addr	ST -6(R2), R5	
c	F	X	
d	D	BNZ R6, -12	

Apartado	@A	@B	Pc/Rx	Ry/N	OP	F	P//L/A	@D	WrD	Wr-Out	Rd-In	Wr-Mem	Ldlr	LdPc	Byte	Alu/R@	R@/Pc	N (hexa)	ADDR-IO (hexa)
----------	----	----	-------	------	----	---	--------	----	-----	--------	-------	--------	------	------	------	--------	-------	----------	----------------

a																			
b																			
c																			
d																			